

CLIPPEDIMAGE= JP404107877A
PAT-NO: JP404107877A
DOCUMENT-IDENTIFIER: JP 04107877 A
TITLE: SEMICONDUCTOR DEVICE AND ITS PRODUCTION
PUBN-DATE: April 9, 1992
INVENTOR-INFORMATION:
NAME
YAMANISHI, YUJI
TANIDA, HIROSHI
YAMAGUCHI, SEIKI
KAWASAKI, HIDEO
SHINDO, HIROYUKI
UNO, TOSHIHIKO
ASSIGNEE-INFORMATION:
NAME
COUNTRY
MATSUSHITA ELECTRON CORP N/A
APPL-NO: JP02225797
APPL-DATE: August 27, 1990
INT-CL (IPC): H01L029/784
US-CL-CURRENT: 257/409

ABSTRACT:

PURPOSE: To reduce chip size by providing a second conductivity type extended drain area which contacts with a drain contact area, providing a first conductivity type area which is biased reversely to the extended drain area in the extended drain area and permitting the surface of a semiconductor substrate between the extended drain area and a source area to be a channel area so as to provide a gate electrode on the channel area through a gate oxide film.

CONSTITUTION: Boron is ion-implanted in an extended

drain area 11, some heat processing is performed, then, the surface of a semiconductor substrate 15 is thermally oxidized. Thus, the segregation coefficients of the boron in a silicon oxide film 8 and the boron in silicon are differentiated. Thus, the boron density at the surface of the substrate 15 is reduced to be N-type and a P-type area is buried in the extended drain area 11. The P-type area 10 is biased reversely to the drain area 11 and depletion layers are spread between the extended drain area 11 and the semiconductor substrate 15 and between the P-type area 10 in the extended drain area 11 and the extended drain area 11. Therefore, the on-resistance between the drain sources becomes smaller than the MOSFET of the conventional structure.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A)

平4-107877

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月9日

H 01 L 29/784

8422-4M

H 01 L 29/78

3 0 1 X

審査請求 未請求 請求項の数 2 (全3頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平2-225797

⑯ 出 願 平2(1990)8月27日

⑰ 発 明 者	山 西	雄 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	谷 田	宏	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	山 口	誠 毅	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	川 崎	英 夫	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	進 藤	裕 之	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	宇 野	利 彦	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 出 願 人	松下電子工業株式会社		大阪府門真市大字門真1006番地	
⑰ 代 理 人	弁理士 小 鍛 治 明		外2名	

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 第1導電型半導体基板に設けた第2導電型のソース領域とドレインコンタクト領域との間に、上記ドレインコンタクト領域に接する第2導電型の延長ドレイン領域を設け、上記延長ドレイン領域内に延長ドレイン領域と逆バイアスされた第1導電型領域を設け、延長ドレイン領域とソース領域間の半導体基板表面をチャネル領域とし、このチャネル領域上にゲート酸化膜を介してゲート電極を設けた半導体装置。

(2) 請求項1記載の半導体装置をNチャネルMOSFETとし、N型延長ドレイン領域内に、このドレイン領域と逆バイアスされた第1導電型領域としてのP型領域を形成する場合、延長ドレイン領域を形成してから、P型領域を形成するためのボロンイオン注入を行い、その後、表面をおおうシリコン酸化膜を形成し、P型領域表面の濃

度を低下させて延長ドレイン領域表面の濃度よりも低くし、P型領域を延長ドレイン領域内にとじこめるようにした半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置とその製造方法に関し、特にドレイン-ソース間の降伏電圧を高くする必要があるMOSFETとして利用できるものである。

従来の技術

第2図に従来の高耐圧横型MOSFETの断面を示す。ドレイン20-ソース23間の降伏電圧を高くするため、半導体基板25内に不純物濃度の低い延長ドレイン領域21を形成し、ドレイン20-ソース23間が逆バイアスされた場合、延長ドレイン領域21に空乏層が広がるようにしている。なお、図中、16はドレイン電極、17はソース電極、18はシリコン酸化膜、19はゲート電極、22はアンテパシスルー領域、24は基板コンタクト領域である。

発明が解決しようとする課題

上記のような延長ドレイン領域をもうけた従来構造では、逆電圧がかかったとき、延長ドレイン領域21と半導体基板25間の接合より空乏層が広がるが、ドレイン20-ソース23間降伏電圧を高くするため延長ドレイン領域21が空乏化するように延長ドレイン領域21の濃度を低くしなければならない。このことによって高耐圧は実現できるが、延長ドレイン領域21内の抵抗成分が大きくなり、MOSFETのドレイン20-ソース23間オン抵抗が大きくなってしまい、動作時の損失が大きくなり、大電流を流すためには、素子サイズを大きくしなければならなくなるという欠点があった。

課題を解決するための手段

上記の問題点を解決するため、本発明では、第1導電型半導体基板に設けた第2導電型のソース領域とドレインコンタクト領域との間に、上記ドレインコンタクト領域に接する第2導電型の延長ドレイン領域を設け、この延長ドレイン領域内に延

となる。P型領域10を形成するには、まず延長ドレイン領域11を、半導体基板15へのイオン注入、不純物ドーブ、拡散で形成した後、P型領域10の不純物をドーブするため延長ドレイン領域11にボロンをイオン注入し、若干の熱処理をおこなった後、半導体基板15の表面を熱酸化する。このことでシリコン酸化膜8とシリコン間のボロンの偏析係数が異なることから、基板15表面のボロン濃度が低下しN型となり、P型領域は型延長ドレイン領域11中に埋め込まれた構造となる。このP型領域10をドレイン領域11と逆バイアスすることで延長ドレイン領域11と半導体基板15間、及び上記延長ドレイン領域11中のP型領域10と延長ドレイン領域11間に空乏層が広がる。したがって従来構造の場合とちがって、延長ドレイン領域11の濃度を高くしても、延長ドレイン領域11を空乏化できる。したがってドレイン-ソース間オン抵抗を従来構造のMOSFETよりも小さくすることができる。このことで従来構造のMOSFETと比較して単位

長ドレイン領域と逆バイアスされた第1導電型領域を設け、延長ドレイン領域とソース領域間の半導体基板表面をチャネル領域とし、このチャネル領域上にゲート酸化膜を介してゲート電極を設けた製造としている。

作 用

このような本発明の構造をとることで高耐圧を実現しつつ、ドレイン-ソース間オン抵抗を大幅に低下することができる。

実 施 例

第1図に本発明の半導体装置の一実施例におけるNチャネルMOSFETの断面を示す。延長ドレイン領域11の表面濃度は約 $1 \times 10^{16} \text{ cm}^{-3}$ とし、この延長ドレイン領域11内にP型領域10を形成し、このP型領域10の濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以上とした。半導体基板15の濃度は $3 \times 10^{14} \text{ cm}^{-3}$ とし、半導体基板15の表面のシリコン酸化膜8の厚さは $2 \mu\text{m}$ 以上とした。ゲート電極7には多結晶シリコン膜を使用した。ゲート電極7下に位置するシリコン酸化膜がゲート酸化膜

面積当りのドレイン-ソース間オン抵抗は $1/5 \sim 1/6$ にできた。

発明の効果

以上のように本発明によれば、高耐圧横型MOSFETのチップサイズを縮小することができる。

4、図面の簡単な説明

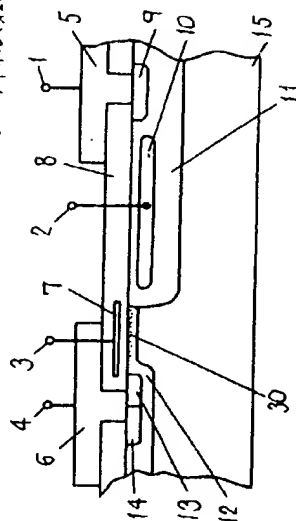
第1図は本発明の一実施例におけるNチャネルMOSFETの断面図、第2図は従来の高耐圧横型MOSFETの断面図である。

1……ドレイン端子、2……延長ドレイン中P型領域電極端子、3……ゲート電極、4……ソース端子、5……ドレイン電極、6……ソース電極、7……ゲート電極、8……シリコン酸化膜、9……ドレインコンタクト領域、10……延長ドレイン領域内P型領域、11……延長ドレイン領域、12……アンチパシスルー領域、13……ソース領域、14……基板コンタクト領域、15……半導体基板。

代理人の氏名 弁理士 小鍛治 明ほか2名

- 1...ドレイシと帽子
- 3...ゲイト端子
- 4...ス端子
- 5...ドレイシ電極
- 6...ロス電圧
- 7...ゲイト電極
- 8...シリコン酸化膜
- 9...ドリンコンダクト領域
- 10...P型領域
- 11...延長ドリン領域
- 12...アンプバンプガル領域
- 13...J型領域
- 14...基板コンダクト領域
- 15...平滑保護膜
- 20...ナパネル領域

圖 1



第 2 区

